

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-106782

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月8日

G 11 C 11/401

8526-5L

G 11 C 11/34

3 6 2 B

審査請求 未請求 請求項の数 2 (全12頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-225627

⑰ 出 願 平2(1990)8月27日

⑱ 発 明 者 古 谷 清 広 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1 発明の名称

半導体記憶装置

2 特許請求の範囲

(1) 行列状に配置されたメモリセルアレイと、一行分のメモリセルのデータを増幅するセンスアンプと、行アドレス信号入力端子に供給された行アドレス信号に従って上記メモリセルアレイの行を選択する行デコードと、列アドレス信号入力端子に供給された列アドレス信号に従って上記メモリセルアレイの列を選択する列デコードと、各メモリサイクルの開始を規定するクロック信号が供給されるクロック入力端子とを具備し、

上記行デコードの入力アドレス信号が変化した第1のメモリサイクルでは第1の信号を発生し、該第1のメモリサイクルに後続するサイクルにおいて上記第1のメモリサイクルでアクセスされたメモリセルの読出し、書込みを実行し、上記行デコードの入力アドレス信号が変化しない第2のメモリサイクルでは該第2のメモリサイクル内でメ

モリセルの読出し、書込み動作が完了するようにした半導体記憶装置。

(2) D R A Mメモリセルと、リフレッシュ要求発生回路と、リフレッシュ・アドレス発生回路と、各メモリサイクルの開始を規定するクロック信号が供給されるクロック入力端子とを具備し、

リフレッシュ要求信号が発生したメモリサイクルでは読出し、書込み動作を無効にすると共に、上記リフレッシュ・アドレス発生回路で発生された行アドレスのリフレッシュを行ない、且つ第1の信号をチップ外に供給するようにした半導体記憶装置。

3 発明の詳細な説明

(産業上の利用分野)

この発明は、高い周波数のクロックで動作するマイクロプロセッサと関連して使用するのに適した半導体記憶装置に関するものである。

(従来の技術)

近年、半導体技術の進歩に伴ってマイクロプロセッサのクロック周波数が高速化してきた。マイ

クロプロセッサは、例えば第11図に示すように、クロック信号CLKのサイクル1の間に半導体記憶装置から読出しアドレスに従って読出されたデータを処理し、サイクル2の間に上記半導体記憶装置にデータを書込むという操作を行なう。従って、クロックのサイクル時間が短くなれば、単位時間に処理できる回数が増加し、装置の高速化、高性能化が可能になる。サイクル時間を短縮するには、マイクロプロセッサの演算時間を短縮すると共に、半導体記憶装置のサイクル時間も短縮しなければならない。

第12図はIEEE Journal Solid-state Circuits, Vol. 22, NO. 5, October 1987, 第657頁乃至第662頁に記載された行アドレス信号と列アドレス信号の多重化を行なわないでサイクル時間を短縮したDRAM(ダイナミックRAM)の概略構成図である。同図で、1は行アドレスバッファ、4は行デコード、5はメモリセルアレイ、6は列デコード、7は列アドレスバッファ、8はメモリ制御回路、9は入出力回路である。

れ、ビット線対に電位差が生ずる。時刻 $t_2$ でセンスアンプ26を動作させて上記の電位差を増幅する。時刻 $t_3$ で列デコード6によって選択されたビット線対がI/O線対に読出され、入出力回路9を経てチップ外に読出される。

書込みサイクル2の開始時刻 $t_1$ でビット線 $B_L$ 、 $\overline{B_L}$ を $\frac{1}{2}V_{cc}$ にプリチャージする。時刻 $t_2$ で入力アドレスに対応するワード線 $W_L$ が“H”になり、ビット線 $B_L$ にメモリセルキャパシタ31が接続され、ビット線対に電位差が生じる。時刻 $t_3$ でセンスアンプ26を動作させてこの電位差を増幅する。時刻 $t_4$ で列デコード6によって選択されたビット線対のみにI/O線対のデータが書込まれて、このデータはメモリセルキャパシタ31に書込まれる。

〔発明が解決しようとする課題〕

従来の半導体記憶装置は以上のように構成されているので、クロック信号CLKの1サイクルの時間は、ビット線のプリチャージに要する時間、メモリセルのセンスアンプの動作時間、列デコー

行デコード4は行アドレスバッファ1を経て供給される行アドレス信号 $A_0 \sim A_{16}$ に従って行列状に配置されたメモリセルの一行を選択し、同様に列デコード6は列アドレスバッファ7を経て供給される列アドレス信号 $A_0 \sim A_7$ に行って上記メモリセルの一例を選択し、これによって1個のメモリセルを選択する。制御回路8に供給されるWE信号は書込みサイクルを指定し、OE信号は読出しサイクルを指定する。

次に第12図のDRAMの動作を、DRAMのセンス増幅回路を示す第13図と第14図のタイミング図を用いて説明する。

第13図で、26はセンスアンプ、27、28、29、30はMOSFET、31、32はキャパシタ、 $W_L$ はワード線、 $B_L$ 、 $\overline{B_L}$ はビット線、I/OはI/O線である。第14図の読出しサイクル1の開始時刻 $t_0$ においてビット線 $B_L$ 、 $\overline{B_L}$ を $\frac{1}{2}V_{cc}$ にプリチャージする。時刻 $t_1$ で入力アドレスに対応するワード線 $W_L$ が“H”になり、ビット線 $B_L$ にメモリセルキャパシタ31が接続さ

で選択されたビット線対のデータの読出し、書込み時間の和となり、サイクル時間を十分に短縮できないという問題があった。

第12図および第13図の回路で、第15図の動作タイミング図に示すようにスタチックコラムモードというアクセス方式がある。第15図で、時刻 $t_0 \sim t_1$ までの読出し動作は第14図の読出し動作と同じである。第14図では時刻 $t_1$ でクロック信号CLKを“H”としたが、第15図では時刻 $t_1$ でCLKを“H”としないで列アドレスのみを変更する。これにより、DRAMは上記アドレス変化を検知して、I/O線をイコライズし、時刻 $t_2$ で列デコード6がビット線対を選択する。次に、列アドレスのみが変化した場合も同様に動作する。2番目、3番目のデータの読出しに際しては、ビットプリチャージ、センスアンプは必要としないので、サイクル2と3のサイクル時間をサイクル1の時間に比べて短縮することができる。

ところが、このスタチックコラムモードアクセス方式では、行アドレスが同じで列アドレスのみ

が異なるデータの読出し、書込みサイクルは、行アドレスが異なるデータの読出し書き込みサイクルよりクロック信号CLKのサイクル時間を短縮させると共に、この列アドレスのみが異なるデータの読出し、書込みサイクルでは、クロック信号CLKを“H”にしてはならない等、クロック信号CLK自体の制御が複雑になるという問題があった。

また、DRAMを用いた従来の半導体記憶装置で、SRAM（スタチックRAM）のようにリフレッシュが不要なメモリを構成したものとして、IEEE ISSCC DIGEST OF TECHNICAL PAPERS, Feb. 1986, 第252頁乃至第253頁に示された擬似SRAMがある。この擬似SRAMの概略構成を第16図に示す。

第16図において、1は行アドレスバッファ、4は行デコーダ、6は列デコーダ、7は列アドレスバッファ、8は制御回路、9は入出力回路、41はリフレッシュ・タイマ、43はセクタ、44はリフレッシュ・アドレスカウンタである。

とリフレッシュ用の2回の読出し動作が完了するのに十分な時間が必要であり、サイクル時間を短縮することができないという問題があった。

この発明は、上記のような従来の半導体記憶装置の問題点を解消するためになされたもので、第1の目的は、半導体記憶装置の平均的なサイクル時間を短縮した半導体記憶装置を得ることにあり、第2の目的は、DRAMを用いた半導体記憶装置において、自動リフレッシュ機能を具備していても、平均的なサイクル時間が伸びない半導体記憶装置を得ることにある。

#### （課題を解決するための手段）

この発明の第1の実施例に係る半導体記憶装置は、行アドレスが変化したことを検知する検知回路を具備し、行アドレスが変化した場合、マイクロプロセッサに対して所要のアドレスのデータの読出し／書込み動作が次のサイクルに完了することを通報すると共に、ビット線のプリチャージとアドレス変化後の行のメモリセルのセンス増幅を行い、次のサイクルに所要のアドレスのデータの

第16図の擬似SRAMの動作を第17図のタイミング図を参照して説明する。入力アドレスに相当するワード線によって時刻 $t_1$ において選択されたメモリセルデータは、DRAMと同様にセンスアンプで増幅されて、時刻 $t_2$ で入出力回路9を経て外部に読出される。

ところで、このような擬似SRAMでは、リフレッシュ・タイマ41で一定時間毎にリフレッシュ要求を出し、リフレッシュ・アドレスカウンタ44をリフレッシュ動作毎に1ずつカウントアップさせて発生した行アドレスのワード線で選択されたメモリセルをリフレッシュする。

サイクル2で、リフレッシュ・タイマ41からリフレッシュ要求が入ると、時刻 $t_3$ の入力アドレスに相当する読出し動作に引き続いて、セクタ43によりリフレッシュ・アドレスカウンタの出力が行デコーダ4に入力される。時刻 $t_4$ でリフレッシュ・アドレスカウンタで指定されたワード線が選択されて、リフレッシュ動作が行なわれる。

この構成では、メモリのサイクル時間は通常用

読出し／書込みを行い、行アドレスが変化しなかった場合は、最初のサイクルに所要のアドレスのデータの読出しが完了するようにしたものである。

この発明の第2の実施例に係る半導体記憶装置は、リフレッシュ・タイマを具備し、リフレッシュ要求が発生したサイクルでは、マイクロプロセッサにリフレッシュ中であることを通報する信号を発生して次のサイクルに読出し／書込み動作を再実行するよう指示すると共に、リフレッシュ・アドレスカウンタで指定された行のリフレッシュを行ない、次のサイクルで再実行された読出し／書込み動作に対しては第1の発明と同様に作用するようにしたものである。

#### 〔作用〕

この発明の半導体記憶装置においては、クロックのサイクル時間をスタチックコラムモードのサイクル時間と同程度の短い時間に設定しておいて、半導体記憶装置が行アドレスの変化を検知した番号あるいはリフレッシュ中であるという番号

をマイクロプロセッサが受取った場合のみ、マイクロプロセッサは1サイクルの動作を停止して次のサイクルにデータの読出し/書き込みを行なえばよい。列アドレスを下位アドレスに設定しておけば、行アドレスが変化する頻度は列アドレスの変化する頻度より小さい。従って、クロックの周期の複雑な制御なしにクロックのサイクル時間を平均的にスタチックコラムモードのサイクル時間と同程度に短縮することができる。

#### (実施例)

以下、図示の実施例によってこの発明を詳細に説明する。

第1図において、1は行アドレスバッファ、2は行アドレス変化検知回路、3はビット線プリチャージ信号BLEQおよびセンスアンプ活性化信号SEを発生する信号発生回路、4は行デコーダ、5はメモリセルアレイ、6は列デコーダ、7は列アドレスバッファ、8はメモリ制御回路、9は入出力回路、42はBUSY信号発生回路である。第1図の装置で、行アドレス変化検知回路、

インバータ12、13で構成されたラッチ回路81に転送される。前の行アドレスはインバータ14、15よりなるラッチ回路82に保持されているので、排他的OR回路16の出力TAは“H”となり、OR回路17の出力の節点N1は“H”となる。節点N1の電位はクロック信号CLK<sub>1</sub>に反応してn型MOSFET 16を経てインバータ20、21で構成されたラッチ回路83に保持され、BUSY信号となる。

サイクル2では、BUSY信号とクロック信号CLK<sub>2</sub>との論理積でプリチャージ信号BLEQが発生し、ビット線BLのプリチャージと新しい行のメモリセルデータのセンス増幅を行なう。BUSY信号は列デコーダ6に供給されて、サイクル2での列デコーダ6の動作を禁止する。プリチャージ信号BLEQが“H”の期間中にビット線対の電位を $\frac{1}{2}V_{cc}$ にプリチャージする。ビット線がプリチャージされた後、ワード線WL<sub>1</sub>が立上がり、メモリセルアレイ5中の所定のメモリセルのデータがビット線対に読出される。

センスアンプ活性化信号SEはBUSY信号と

信号発生回路3、およびBUSY信号発生回路42を除く他の部分の構造は第4図に示す従来の半導体記憶装置と同様である。

第2図は第1図の行アドレス変化検知回路2、信号発生回路3、BUSY信号発生回路42、およびこれらの各回路にクロック信号CLK<sub>1</sub>、CLK<sub>2</sub>を発生する回路の概略構成図である。同図で、行アドレス変化検知回路2は行アドレスバッファ1を経てアドレス信号A<sub>0</sub>～A<sub>1</sub>が供給される同じ構造の複数の回路18が設けられている。

第2図で、10、11、18はn型MOSFET、12、13、14、15、20、21、22、16、39はインバータ、23、35は遅延回路、24はNOR回路、16は排他的OR回路、17、40はOR回路、25、17、38はAND回路である。

第1図、第2図の動作を第3図の動作タイミング図および先に示した第13図を参照して説明する。サイクル2の開始時刻t<sub>1</sub>において行アドレスが変化したとき、この行アドレス変化はクロック信号CLKに反応してn型MOSFET 10を経て

クロック信号CLK<sub>2</sub>を遅延した信号の論理積で発生し、時刻t<sub>2</sub>でセンスアンプ26を活性化する。また、行アドレスが変化しないサイクルではBUSY信号は“L”になり、センスアンプ活性化信号SEは“H”となり、ビット線BL、BLのデータを保持する。

第4図は、この発明による半導体記憶装置34とマイクロプロセッサ33とを組合わせたシステムの概略構成図である。マイクロプロセッサ33は記憶装置34にアドレス信号A<sub>0</sub>、出力活性化信号OE、および書き込み信号WEを供給し、双方向のデータ線I/Oでデータの読出し/書き込みを行なう。また、記憶装置34は行アドレスが変化したとき、BUSY信号をマイクロプロセッサ33に供給する。

第4図の半導体記憶装置34とマイクロプロセッサ33との組合せ装置の動作を第5図の動作タイミング図を参照して説明する。

第5図で、サイクル1、2で列アドレスのみが

変化したアドレスがプロセッサ33から記憶装置34に供給され、同じサイクル中にデータ線1/0を通じてデータの読出し/書込みが行なわれる。サイクル3で行アドレスが変化したアドレスがプロセッサから供給される。半導体記憶装置34は行アドレスが変化したことを検知してBUSY信号をプロセッサ33に供給し、プロセッサ33に対してこのサイクルでは何もしないで次のサイクルにおいてこのサイクルの動作を再実行するように指示すると共に、新しい行のメモリエルデータのセンス増幅を行なわせ、サイクル4においてサイクル3でアクセスしたアドレスのデータの読出し、書込みを行なわせる。サイクル5、6においてはクロック信号CLKに同期して列アドレスのみが変化したアドレスがプロセッサから供給され、同じサイクル中にデータの読出し、書込みが行なわれる。なお、BUSY信号に正極性のものを用いたが、負極性としてReady信号(すなわち、“H”のときにそのサイクルにおいてデータがでてくる)としてもよい。

になって、キャパシタ51は該MOSFET48を経て放電されて、節点Dの電位は低レベルになる。

サイクル3の冒頭でMOSFET45はオンになり、このとき節点Dの電位は低レベルであるから、リフレッシュ要求信号REFREQは“L”になる。

サイクル3の時点t<sub>1</sub>でMOSFET46はクロック信号CLK<sub>1</sub>でオンになり、“L”のリフレッシュ要求信号REFREQが節点Aに伝達されて、該節点Aの電位は再び“L”になり、MOSFET48はターンオフして、節点Dの電位はRCの時定数で決まるスピードで上昇して行く。

第9図は第6図のBUSY信号発生回路42で、オア回路17にリフレッシュ要求信号REFREQが入力していることを除けば第2図のBUSY信号発生回路42と同様である。

次に第6図の装置の動作を第10図のタイミング図を参照して説明する。サイクル2でリフレッシュ要求信号REFREQが“H”になると、セレクト43はリフレッシュ・アドレスカウンタ44の出

次に、この発明の第2の実施例を第6図を参照して説明する。同図で、41はリフレッシュ・タイマ、43はセレクト、44はリフレッシュ・アドレスカウンタである。その他の部分の構造は第1図の装置と同様である。

第7図はリフレッシュ・タイマ41の構成例を示す図、第8図はその動作を説明するタイミング図である。同図において、45、46、48、49はMOSFET、50は抵抗、51はキャパシタ、52、53、54、55はインバータ、56は遅延回路である。抵抗50とキャパシタ51との節点Dの電位は、これらの抵抗50とキャパシタ51とによって決まるRC時定数によって上昇して行き、サイクル2で節点Dの電位はクロック信号CLKで駆動されるMOSFET45を経て伝達されてリフレッシュ要求信号REFREQは“H”となる。この“H”のリフレッシュ要求信号REFREQは遅延クロック信号CLK<sub>1</sub>で駆動されるMOSFET46を経て節点Aに伝達されて節点Aの電位は“H”になる。これと同時に節点Aの電位によりMOSFET48はオン

力を行デコード4に供給すると共に、BUSY信号発生回路42はBUSY信号を発生する。BUSY信号によってプリチャージ・センス活性化信号発生回路3は第1図の回路と同様にビット線のイコライズとセンス増幅を制御し、リフレッシュすべき行のメモリエルの読出しを行なう。

BUSY信号を受取ったマイクロプロセッサは次のサイクルも同じ読出し動作を実行する。第10図のBUSY信号の実線はリフレッシュした行と、再実行した読出した行が同一であった場合を示している。リフレッシュした行のアドレスと再実行した読出した行のアドレスとが異っていた場合は、第10図のBUSY信号の破線で示すように、第1図の実施例と同様にもう1サイクルBUSY信号が発生して、マイクロプロセッサにもう1サイクル読出しを再実行させるようにする。

リフレッシュ要求行のアドレスと再実行した読出した行のアドレスとが変化しないサイクルはDRAMのスタックコラムモードのサイクル時間と同程度に短縮可能である。

## 〔発明の効果〕

以上のように、第1図に関して説明したこの発明の第1の実施例によれば、DRAMメモリセルを用いた半導体記憶装置のサイクル時間を平均的にDRAMのスタックコラムモードのサイクル時間と同程度に短縮することができる。従って、DRAMメモリセルを用いて記憶装置を大容量化しても、SRAMと同等のサイクル時間で使用することができるので、高速マイクロプロセッサのメモリシステムを安価に提供給することができる。

第6図に関して説明したこの発明の第2の実施例によれば、DRAMメモリセルを自動的にリフレッシュする機能をもっている、第16図で説明した擬似SRAMのようにサイクル時間を長くする必要がないので、よりSRAMに近い高速でリフレッシュが不要の記憶装置を提供することができる。

## 4 図面の簡単な説明

第1図はこの発明の第1の実施例に係る半導体

第9図は第6図の半導体記憶装置で使用されるBUSY信号発生回路の一例を示す概略図。

第10図は第6図の半導体記憶装置の動作を説明するための動作タイミング図。

第11図は一般にマイクロプロセッサの動作を説明する動作タイミング図。

第12図は従来の半導体記憶装置の一例を示す概略構成図。

第13図は従来のDRAMのセンス増幅回路を示す図。

第14図は第13図のセンス増幅回路の動作を説明する動作タイミング図。

第15図は第12図の半導体記憶装置で、スタックコラムモードでアクセスする方法を示す動作タイミング図。

第16図は擬似SRAMを用いた半導体記憶装置の一例を示す概略構成図。

第17図は第16図の擬似SRAMを用いた半導体記憶装置の動作を説明する動作タイミング図である。

記憶装置の概略構成図。

第2図は第1図の装置中の行アドレス変化検知回路、ビット線プリチャージおよびセンスアンプ活性化信号発生回路、BUSY信号発生回路およびクロック信号CLK<sub>1</sub>およびCLK<sub>2</sub>発生回路の概略構成図。

第3図は第1図および第2図の装置の動作を説明するための動作タイミング図。

第4図は第1図に示すこの発明の第1の実施例に係る半導体記憶装置とマイクロプロセッサとの組合せを示す図。

第5図は第4図の半導体記憶装置とマイクロプロセッサとの組合せ回路の動作を説明する動作タイミング図。

第6図はこの発明の第2の実施例に係る半導体記憶装置の概略構成図。

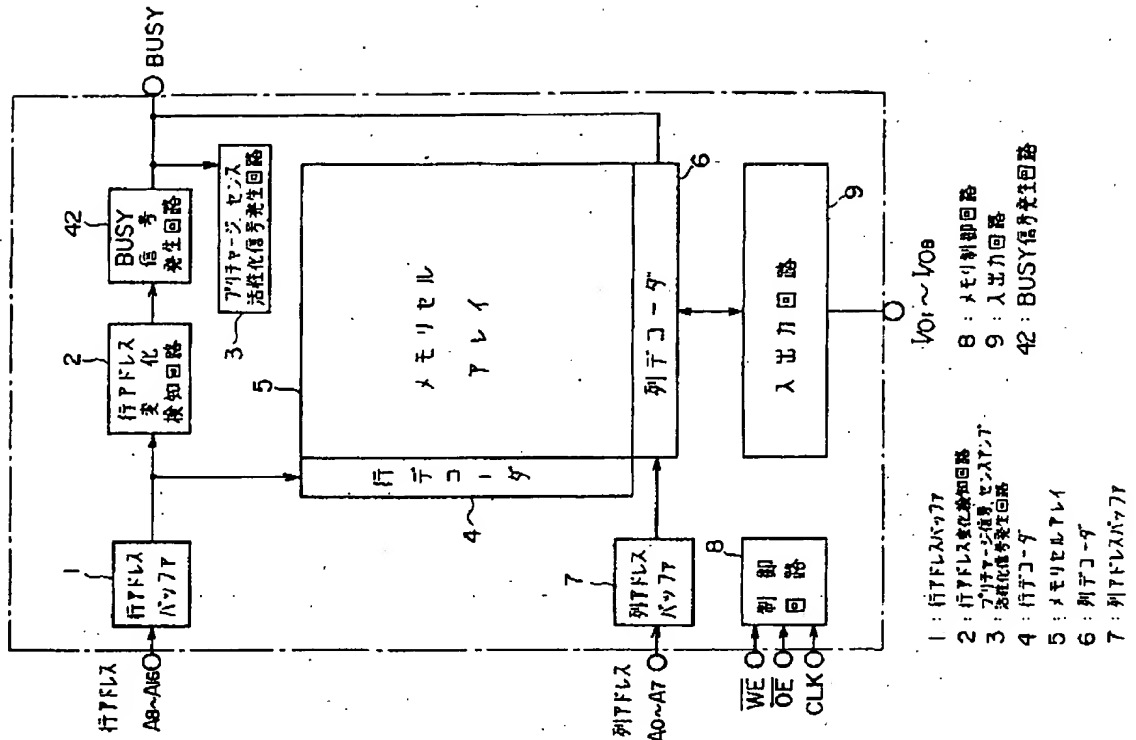
第7図は第6図の半導体記憶装置で使用されるリフレッシュ・タイマの一例を示す回路図。

第8図は第7図のリフレッシュ・タイマの動作を説明する動作タイミング図。

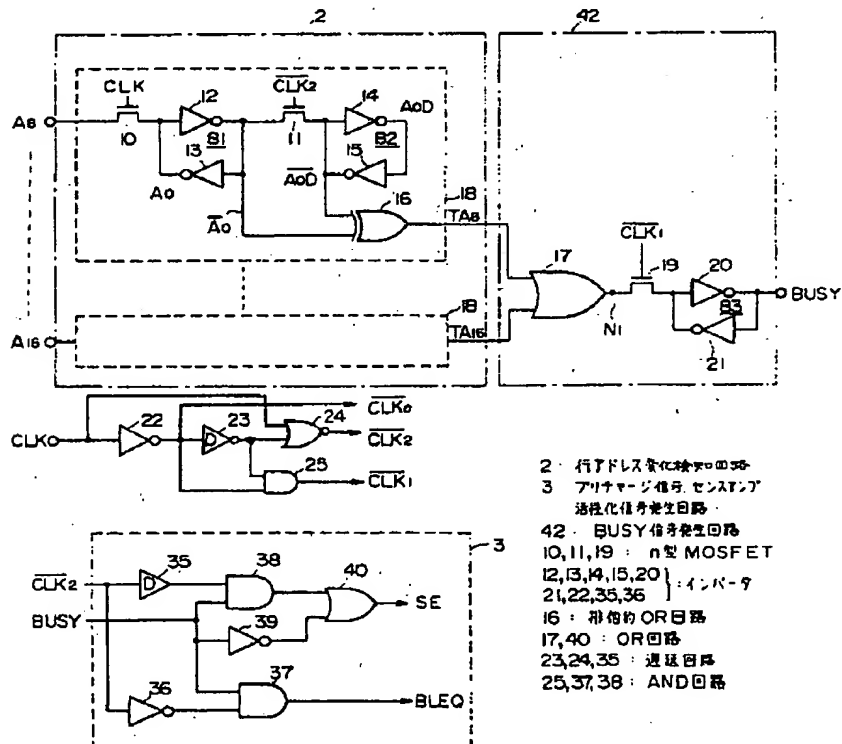
第1図、第6図において、1……行アドレスバッファ、2……行アドレス変化検知回路、3……ビット線プリチャージ、センスアンプ活性化信号発生回路、4……行デコード、5……メモリアレイ、6……列デコード、7……列アドレスバッファ、8……制御回路、9……入出力回路、41……リフレッシュ・タイマ、42……BUSY信号発生回路、43……セクタ、44……リフレッシュ・アドレスカウンタ。

代理人、大岩増雄

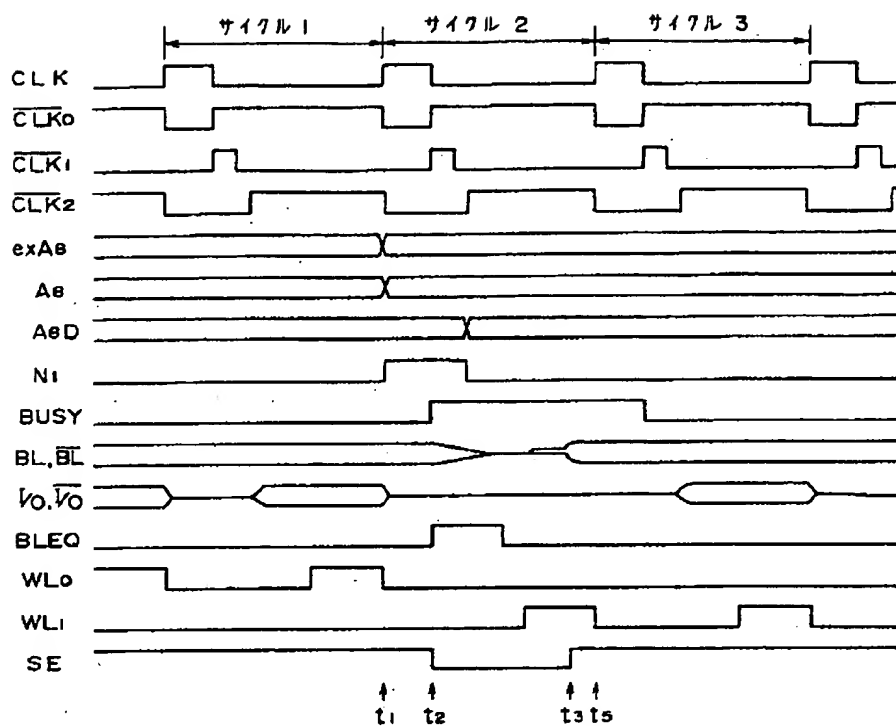
第 1 図



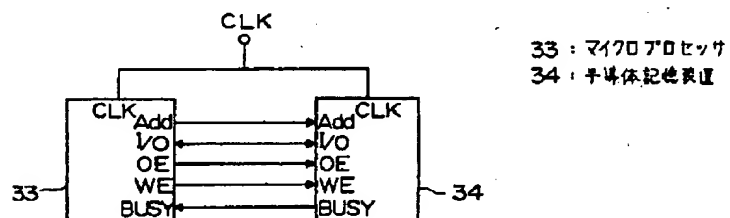
第 2 図



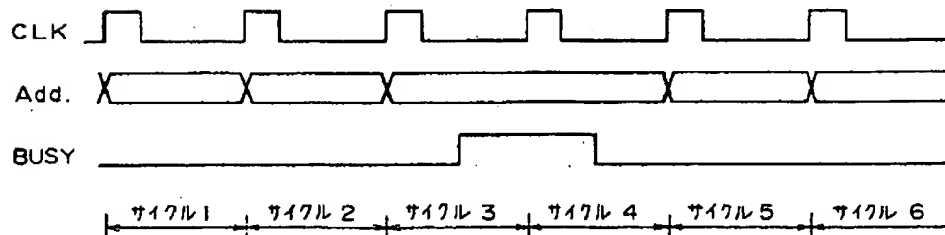
第 3 図



第 4 図



第 5 図

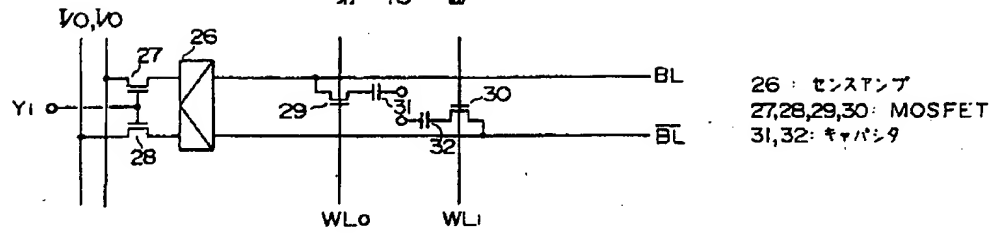




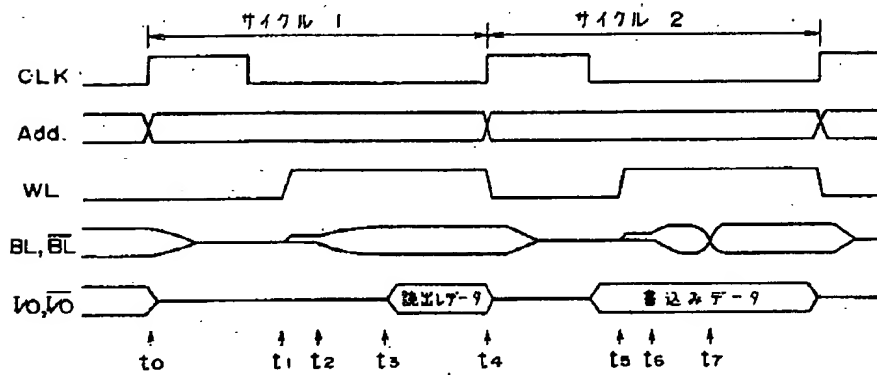




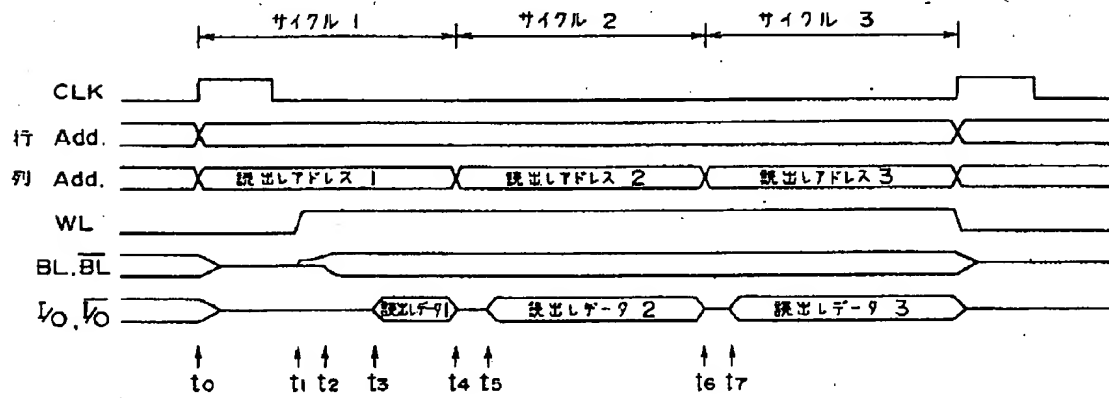
第 13 図



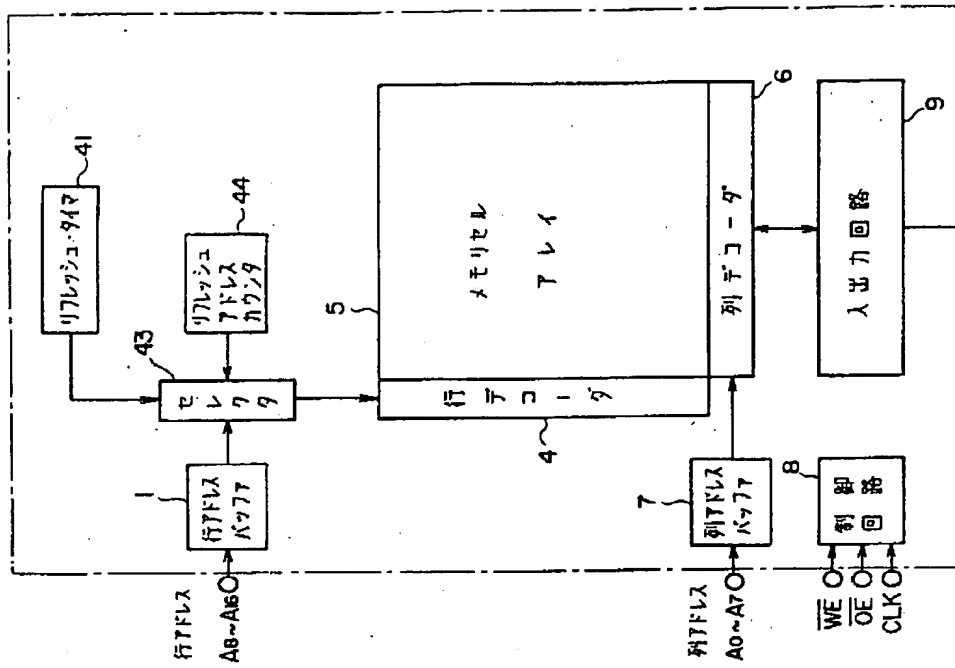
第 14 図



第 15 図

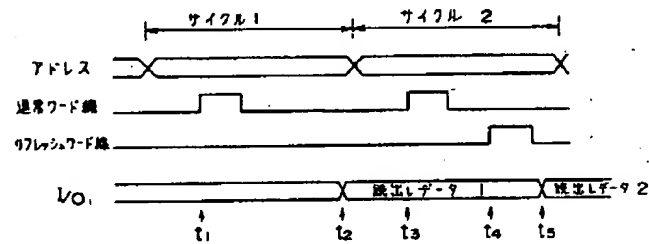


第 16 図



- 1: 行アドレスデコーダ  
 4: 行デコーダ  
 5: メモリセルアレイ  
 6: 列デコーダ  
 7: 列アドレスデコーダ  
 8: メモリ制御回路  
 9: 入出力回路
- 41: リフレッシュカウンタ  
 43: セレクタ  
 44: リフレッシュアドレスカウンタ
- VOI~VO8

第 17 図



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成7年(1995)12月22日

【公開番号】特開平4-106782  
 【公開日】平成4年(1992)4月8日  
 【年通号数】公開特許公報4-1068  
 【出願番号】特願平2-225627  
 【国際特許分類第6版】

G11C 11/407  
 【FI】  
 G11C 11/34 354 C 6866-5L

手続補正書 (特許法第17条の2第1号の規定による補正)

平成 6年 11月 10日

特許庁長官 殿

1 事件の表示  
 特願平 2-225627号

2 発明の名称  
 半導体記憶装置

3 補正をする者  
 事件との関係 特許出願人

名称 (801) 三菱電機株式会社

4 代理人  
 住所 東京都千代田区丸の内二丁目2番3号  
 三菱電機株式会社内  
 氏名 (8217) 弁護士 高田 守  
 (連絡先 03(3213)3421 法務・知的財産本部)

5 補正の対照

明細書の「発明の詳細な説明」、「図面の簡単な説明」の各欄および図面。

6 補正の内容

(1) 明細書の第4頁第13行乃至第19行を下記の通りに訂正する。

記

第13図で、26はセンスアンプ、27、28、29、30はMOSFET、31、32はキャパシタである。MOSFET29とキャパシタ31とにより1個のメモリセルを構成し、同様にMOSFET32とキャパシタ30とにより他の1個のメモリセルを構成している。WL<sub>0</sub>、WL<sub>1</sub>は行デコーダ4によって選択されるワード線、BL<sub>0</sub>、BL<sub>1</sub>は列デコーダ8によって選択されるビット線、I/O<sub>0</sub>、I/O<sub>1</sub>はI/O線である。第14図の読み出しサイクル1の開始時刻t<sub>1</sub>において、各ビット線に接続されたプリチャージ回路(図示せず)によりビット線BL<sub>0</sub>、BL<sub>1</sub>を $\frac{1}{2}V_{cc}$ にプリチャージする(但し、V<sub>cc</sub>はチップ全体に供給される電源電圧を表す)。時刻t<sub>1</sub>で行デコーダ4によって選択された入力アドレスに対応する例えばワード線WL<sub>0</sub>が「H」になり、ビ

(2) 同頁第5頁第1行中の「ビット線対」を「第14図のBL<sub>0</sub>、BL<sub>1</sub>」に示すようにビット線対」と訂正する。

(3) 同頁第5頁第7行中の「時刻t<sub>1</sub>で」を「時刻t<sub>1</sub>で行デコーダ4によって選択された」と訂正する。

(4) 同頁第8頁第2行中の「入力アドレス」を「行デコーダ4によって選択された入力アドレス」と訂正する。

(5) 同頁第11頁第13行中の「第1図において、」を「第1図に示すこの発明の半導体記憶装置の第1の実施例において、」と訂正する。

(6) 同頁第12頁第12行乃至第15行を下記の通りに訂正する。

記

12、13、14、15、20、21はインバータ、16は排他的OR回路、17はOR回路である。第2図(b)で、35は逆送回路、36、39はインバータ、37、38はAND回路、40はOR回路である。第2図(c)で、22は

インバータ、23は遅延回路、24はNOR回路、25はAND回路である。

- (7) 同書第13頁第11行中の「ビット線BL」を「この信号BLEQによってビット線BL、BL」と訂正する。
- (8) 同書第14頁第18行中の「2で列」を「2ではクロック信号CLKに同期して列」と訂正する。
- (9) 同書第16頁第1行中の「この発明の第2」を「この発明の半導体記憶装置の第2」と訂正する。
- (10) 同書第16頁第8行中の「図において、45、46、48、49は」を「第7図において、45、46、48は」と訂正する。
- (11) 同書第16頁第10行中の「55はインバータ、56は遅延回路である。」を「55はインバータである。キャパシタ51、MOSFET48の各1つの電極は接地電位点に接続されている。第8図に示すように、」と訂正する。
- (12) 同書第17頁第3行中の「MOSFET45」を「クロック信号CLKによりMOSFET45」と訂正する。
- (13) 同書第20頁第3行中の「回路、ビット線」を「回路の概略構成図、第2図(b)はビット線」と訂正する。
- (14) 同書第20頁第4行中の「活性化信号発生回路、BUSY」を「活性化信号発生回路の概略構成図、第2図(c)はBUSY」と訂正する。
- (15) 同書第21頁第9行中の「従来の」を「この発明の半導体記憶装置でも使用される公知の」と訂正する。
- (16) 明細書を次の正誤表の通りに訂正する。

正 誤 表

頁	行	誤	正
4	5	行って	従って
"	6	一例	1列
5	2	動作させて	活性化して
"	3	デコーダ8によって	デコーダ8のアドレス信号Y <sub>1</sub> によって

添付書類

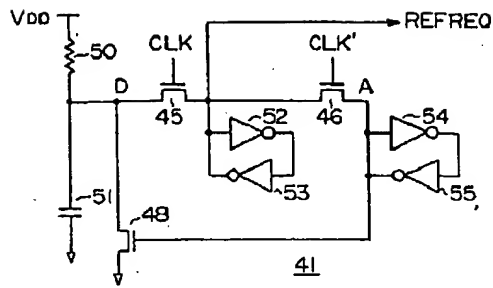
発替え用図面(第2図、第3図、第7図、第13図)

以 上

"	11	動作させて	活性化して
"	12	デコーダ8によって	デコーダ8のアドレス信号Y <sub>1</sub> によって
"	14	このデータはメモリ	このデータは最終的にメモリ
8	15	ビットプリチ	ビット線のプリチ
"	16	センスアンプは	センスアンプの活性化は
11	20	検知回路、	検知回路2、
12	2	第4図	第12図
"	4	第2図	第2図(a)～(c)
"	11	第2図で、	第2図(a)で、
"	16	第2図	第2図(a)～(c)
13	7	SFET18	SFET19
"	10	CLK <sub>0</sub>	CLK <sub>0</sub> の反転信号
"	15	ビット組列の	ビット線列BL、BLの
"	17～18	立上がり、	立上がって"H"になり、
14	2	センスアンプ26を	第13図のセンスアンプ26に供給されてこれを
"	7	この発明	第1図に示すこの発明
"	10	34にアドレス	34に行、列の各アドレス
"	14	BUSY	このことを知らせるBUSY
15	4	3で行アドレス	3で行アドレス
"	4～5	プロセッサ	プロセッサ33
18	13	サイクル2で	サイクル2の開始時点で
"	17～18	CLK <sub>1</sub>	CLK <sub>1</sub>
18	5	センス増幅	センスアンプの動作
20	2	第2図	第2図(a)

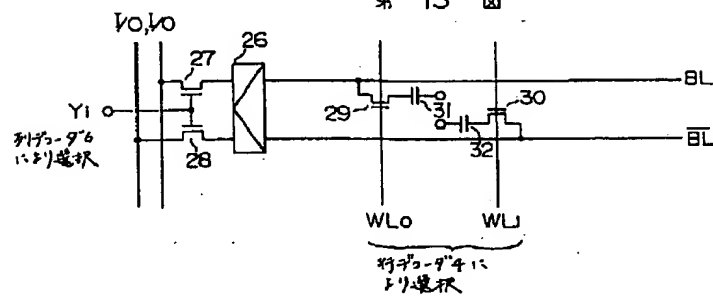
図 図面中、第2図、第3図、第7図、第13図をそれぞれ別紙のものと替える。

第 7 図



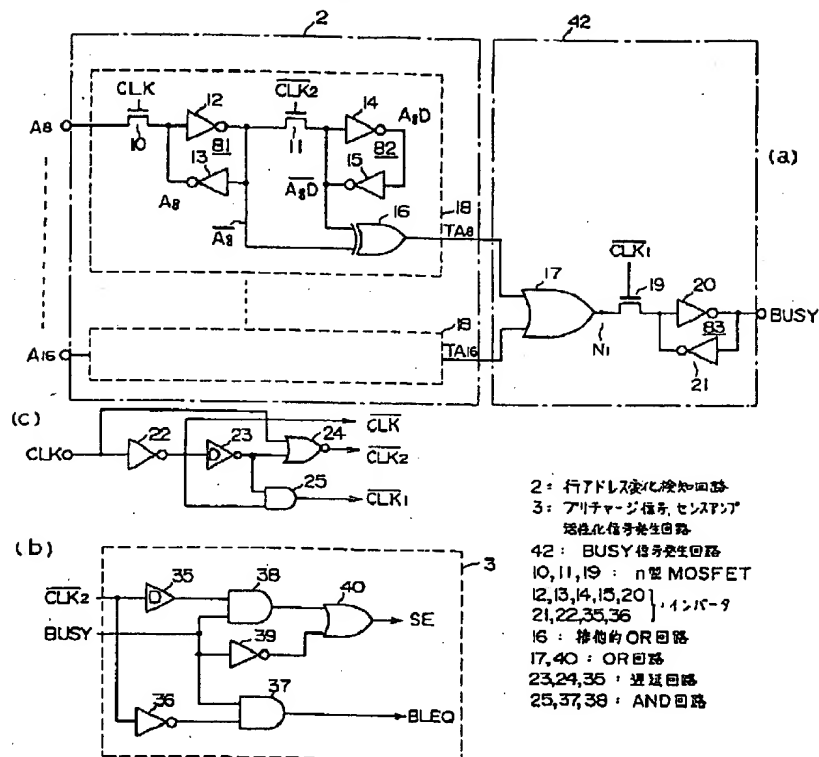
41 : リフレッシュ、ゲイ  
45, 46, 48, 49 : MOSFET  
50 : 抵抗  
51 : キャパシタ  
52, 53, 54, 55 : インバータ

第 13 図

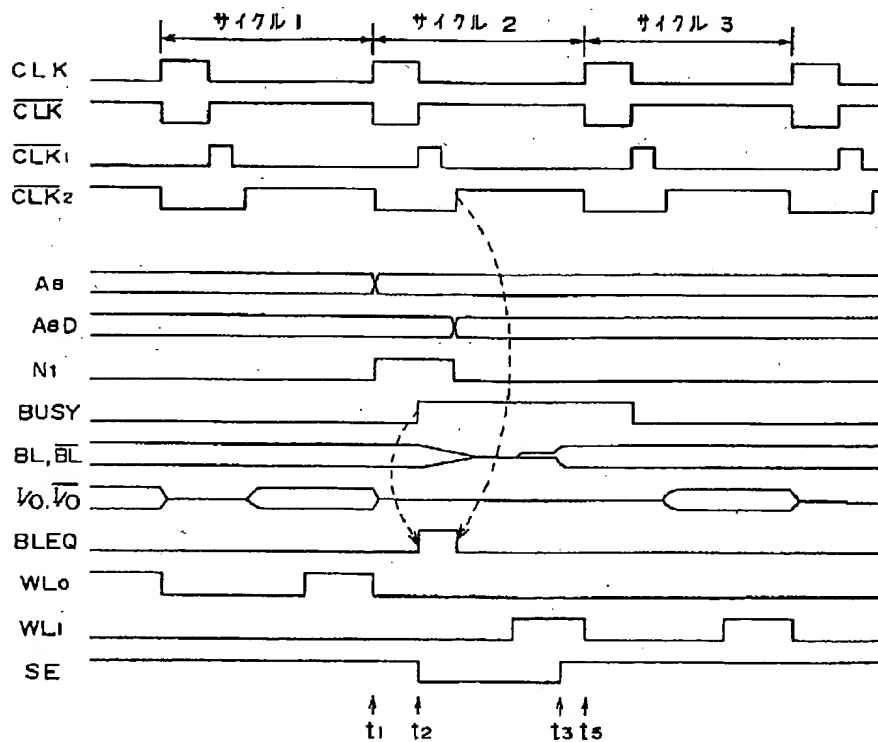


26 : センスタンプ  
27, 28, 29, 30 : MOSFET  
31, 32 : キャパシタ

第 2 回



第 3 题





# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-106782

(43)Date of publication of application : 08.04.1992

(51)Int.Cl.

G11C 11/401

(21)Application number : 02-225627

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.08.1990

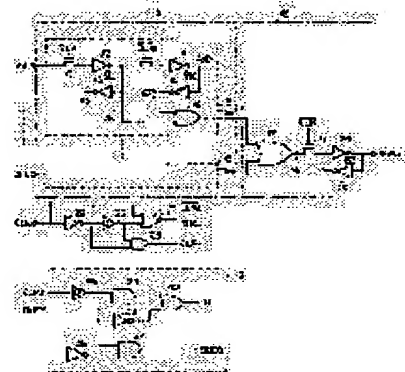
(72)Inventor : FURUYA KIYOHIRO

## (54) SEMICONDUCTOR STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To shorten the average cycle time of the semiconductor storage device by executing pre-charge of a bit line and sense amplification of a memory cell, in the case a row address is varied, and executing read/write of data of a necessary address in the next cycle.

**CONSTITUTION:** When a row address is varied at the start time of a cycle 2, this variation is transferred to a latch circuit 81. Since the previous row address is held in a latch circuit 82, an output TA8 of an exclusive OR circuit 16 becomes H, and a nodal point N1 becomes H. The potential of the nodal point N1 is held in a latch circuit 83, and becomes a BUSY signal. In the cycle 2, a pre-charge signal BLEQ is generated by the BUSY signal, and pre-charge of a bit line BL and sense amplification of memory cell data of a new row are executed. The BUSY signal inhibits an operation of a column decoder in the cycle 2. In a period in which the signal BLEQ is H, the potential of a pair of bit lines is pre-charged to  $1/2V_{cc}$ . After the bit line is pre-charged, a word line rises, and data of a prescribed memory cell in a memory cell array is read to a pair of bit lines.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office